Contenido

**No se encontraron elementos de tabla de contenido.**

# INTRODUCCIÓN

La ininterrumpida y progresiva evolución de circuitos integrados ha llevado a la dramática reducción en los tamaños de los dispositivos micro-electrónicos, haciéndolos cada vez más potentes y eficientes. Sin embargo, esta evolución también ocasiona que estos sean cada vez más susceptibles a efectos de ionización por radiación, tendiendo a un límite en el cual la vulnerabilidad a errores causados por agentes externos es mayor, reduciendo la confiabilidad de los circuitos considerablemente.

La radiación ionizante produce diferentes efectos sobre los dispositivos electrónicos. En circuitos digitales como una celda de memoria, esta falla puede observarse como una variación de un nivel lógico almacenado, mientras que en circuitos analógicos, se manifiesta como una variación transitoria de un determinado nivel. Dependiendo de su energía, estos efectos pueden producir hasta la destrucción del elemento semiconductor en el que impactan. En el primer capítulo se describirá el fenómeno de manera más detallada.

Cuando estos componentes son elementos críticos de los sistemas, como equipamiento médico o espacial, el problema es aun mayor y la confiabilidad se vuelve un factor sumamente importante. Muchos de los dispositivos utilizados en estas áreas combinan dispositivos analógicos, digitales o mixtos.

Debido a la gran cantidad de bibliografía enfocada en el estudio de las estructuras digitales, en este trabajo se optó por el análisis de los efectos transitorios en estructuras analógicas (Analog Single-Event Transient - ASET).

Particularmente, se escogió un conversor analógico-digital (AD) del tipo flash, ya que suelen ser elementos críticos de los sistemas mencionados. Otro factor determinante, fue la estructura del conversor dividido en una etapa analógica y otra digital claramente diferenciadas, permitiendo la inyección de fallas en la etapa analógica únicamente. A lo largo del segundo capítulo se explicará el sistema diseñado y sus especificaciones.

El conversor flash utilizado se diseñó con una palabra digital de salida de 6 bits, ya que para este nivel de complejidad se generan más de diez mil puntos de inyección posibles. Con esta cantidad de puntos fue necesario diseñar un sistema automatizado de inyección y simulación paralela que permitiera acortar los tiempos del proceso. En los capítulos tres y cuatro, se hace referencia al sistema de inyección y análisis utilizado. Se hará especial énfasis en la presentación de los resultados de la campaña de inyección, y se determinarán los nodos sensibles del diseño.

# CAPÍTULO 1: Evento transitorio único en estructuras analógicas.

Las alteraciones por eventos únicos fueran descubiertas en el espacio en 1975, pero el potencial de los rayos cósmicos en producir alteraciones a nivel del mar recibió poca atención. Años más tarde, el trabajo de J. Ziegler, motivado por la labor de T. May y M. Woods, planteó una nueva preocupación para los fabricantes de memorias de computadoras. Pero no fue hasta 1992 que estos efectos comenzaron a cobrar mayor importancia debido a sus consecuencias en la aviación demostradas en .

En este capítulo se brinda un marco de referencia sobre los efectos producidos por eventos únicos. Comenzando por una definición formal, se continuará con las principales causas que lo producen para posteriormente pasar a una clasificación de los efectos. Por último, se realizará una breve mención de los modelos empíricos más frecuentes, y los utilizados en este trabajo.

## 1.1) CONCEPTO

### 1.1.1) Definición

Debido a la multiplicidad de definiciones, antes de comenzar con el análisis de los eventos transitorios, se presentará la definición adoptada en el trabajo. La siguiente, es tomada de la especificación JESD 89A publicada por Consejo de Ingeniería Electrónica Común (JEDEC por sus siglas en inglés):

“Un Efecto de Evento Único (SEE) es cualquier cambio medible u observable, en el estado o rendimiento, de un dispositivo, componente, subsistema o sistema (analógico o digital) micro-electrónico, resultado del impacto de una única partícula de alta energía.

Los SEE incluyen, alteraciones de evento único (SEU), alteraciones de múltiples bits (MBU), alteraciones de múltiples celdas (MCU), interrupciones funcionales de evento único (SEFI), enclavamiento de evento único (SEL), errores físicos de evento único (SHE), transitorio de evento único (SET), destrucción de evento único (SEB), y ruptura de compuerta de evento único (SEGR).”(3).

### 1.1.2) Causas

La radiación es la principal fuente de partículas de alta energía que tiene por consecuencia los SEEs. El sol es, por defecto, la fuente de radiación en nuestro sistema solar y se ve afectada por el campo magnético de la tierra. Éste influye en el movimiento de las partículas que intentan ingresar en la órbita terrestre, desviándolas de su trayectoria original.

Pensando a la tierra como un gran imán, se tendería a creer que la forma del campo sería como la de un gran dipolo, pero esto no es así debido a la influencia del viento solar que distorsiona el campo magnético en forma parabólica. Esto crea una cavidad en la que se conforman dos cinturones conocidos como “cinturones de radiación de Van Allen” (Figura 1), los cuales se encargan de atrapar las partículas cargadas, como los electrones y protones. Estas partículas están altamente cargadas con energía desde los 10MeV hasta los 100MeV, y se desplazan entre los polos del campo magnético con movimientos helicoidales. Cuando un rayo cósmico impacta con estas partículas de alta energía se produce lo que conocemos como proceso de espalación, liberando gran cantidad de partículas que penetran en la tierra provocando los SEEs.



Figura 1) Representación de la magnetosfera Terrestre.

Los primeros SEEs, observados en el trabajo de Ziegler, no tuvieron tanta relevancia ya que para la tecnología de la época, la energía con la que impactaban las partículas no era comparable con las cargas intervinientes en los circuitos integrados. Mucho más importante eran los SEEs producidos por los encapsulados de circuitos que contenían entre sus materiales pequeñas cantidades de elementos radioactivos. Estos emitían partículas cargadas que impactaban en los circuitos de las memorias ocasionando una tasa de errores muy alta .

Con el avance de los procesos litográficos y la disminución constante de las dimensiones de los transistores, las tensiones de alimentación han disminuido al igual que las corrientes que circulan en los circuitos. Debido a esto, los impactos de las partículas producen SEEs que tienen desde hace una década efectos importantes en los circuitos integrados, que serán analizados en la siguiente sección.

## 1.2) EFECTOS Y CLASIFICACIÓN

### 1.2.1) Efectos en semiconductores

Cuando una partícula choca contra un dispositivo micro-electrónico, la región más vulnerable a los efectos de la radiación es usualmente la juntura p/n en polarización inversa. El poderoso campo presente en la región de depleción de la juntura polarizada en inversa, puede ser muy efectivo recolectando las cargas inducidas por las partículas durante el proceso de frenado de la misma, dando como resultado una corriente transitoria en el contacto de la juntura. En el peor de los casos, la juntura se encuentra en un estado no definido (flotando) y el nivel de la carga almacenada está siendo reducido por alguna carga inyectada a través de la radiación. Como los electrones tienen mayor movilidad en comparación a los huecos, la juntura n+/p es más sensible a los eventos de radiación. La muestra el efecto de un ion chocando la juntura polarizada en inversa n+/p con un voltaje positivo conectado al nodo n+.



**Figura 2) Generación de pares electrón-hueco y recolección durante una perturbación en una juntura**.

En la .a se observa el ion atravesando la juntura, y dejando en su recorrido pares electrón-hueco. Los pares generados en la interacción son rápidamente recolectados por el campo eléctrico y generan un gran transitorio (corriente/voltaje) en el nodo (.b). Esta fase de recolección usualmente es completada en nanosegundos, seguida de una segunda fase dada por una difusión que es significativamente más lenta (cientos de nanosegundos) y menos intensa (.c).



Figura ) Corriente generada por la interacción de un ion.

La curva de corriente resultante generada por la interacción de un ion puede ser dividida en dos secciones, como lo muestra la . El pico de la grafica indica la primera fase de frenado (generación de pares electrón-hueco) y recolección, mientras que el gradiente de la segunda parte resulta de la difusión de recolección de las cargas .

### 1.2.2) Ionización directa e indirecta

La ionización es el método por el cual la radiación libera cargas en un dispositivo semiconductor, ésta puede ser directa o indirecta.

***Ionización Directa***: Cuando una partícula cargada atraviesa el material semiconductor, libera pares electrón-hueco perdiendo energía a lo largo de de su trayectoria. Una vez que toda la energía es liberada, la partícula descansa en el semiconductor luego de haber viajado una longitud determinada conocida como el *rango de la partícula*. El término *transferencia de energía lineal (Linear Energy Transfer - LET)* es frecuentemente usado para describir la energía perdida de la partícula por unidad de longitud, mientras recorre el material. Las unidades del LET están dadas por MeV/cm2/mg, ya que la energía perdida por unidad de longitud (en MeV/cm) es normalizada por la densidad del material atravesado (en mg/cm3), por lo tanto, las unidades del LET pueden ser expresadas independientemente del semiconductor. Por ejemplo en el silicio, un LET de 97 MeV-cm2/mg corresponde a depositar una carga de 1pC/um. La muestra una curva de variación LET de un ion de cloro según la profundidad de penetración del mismo en un semiconductor.

La ionización directa es el mecanismo principal de deposición de cargas causadas por iones pesados que generan perturbaciones, donde definimos a los iones pesados como cualquier ion con un número atómico mayor o igual a dos (partículas diferentes a protones, electrones, neutrones o iones).



**Figura 4) Curva de LET de un ion de cloro de 210MeV viajando a través del silicio.**

***Ionización Indirecta:*** Cuando un protón o un neutrón de alta energía entra a una red semiconductora pueden sufrir colisiones inelásticas con un núcleo blando.La ionización directa con partículas ligeras generalmente no genera suficiente energía en su paso como para producir una perturbación, sin embargo protones y neutrones pueden generar niveles significativos de perturbación a través de la mecánica indirecta*.* Esto puede desencadenar cualquiera de las siguientes reacciones nucleares posibles:

* Que la colisión inelástica produzca un retroceso de Si (silicio),
* La emisión de partículas alfa y gamma y el retroceso del núcleo hijo (ejemplo, Si emite partículas alfa y retroceso de un núcleo Mg),
* Reacciones de espalación (spallation reactions), donde el núcleo afectado se divide en dos fragmentos, cada uno de los cuales puede retroceder.

Cualquiera de estas reacciones puede depositar suficiente energía en su trayectoria de ionización directa, siendo partículas más pesadas que los protones y neutrones originales, pudiendo causar perturbaciones en su trayectoria.

El producto de estas colisiones inelásticas típicamente tienen poca energía y no viajan más allá del sitio de impacto de la partícula, tienden a dispersarse hacia adelante en la dirección de la partícula original. Como consecuencia, la sensibilidad del SEE pasaría a ser función del ángulo de incidencia de la partícula .



Figura ) Rayo cósmico depositando energía en un dispositivo micro-electrónico (4)*.*

### 1.2.3) Duración del evento

Los SEEs pueden ser clasificados en 3 categorías:

* *Single Event Upset* (error temporal de funcionamiento)
* *Single Event Latchup* (error temporal o permanente de funcionamiento)
* *Single Event Burnout* (error a nivel hardware, destrucción)

#### Single Event Upset

Single Event Upset (SEU) es definido por la NASA como “Errores inducidos por radiación en circuitos micro-electrónicos causados por una partícula cargada (usualmente proveniente del cinturón de radiación o de rayos cósmicos) que pierde energía mientras ioniza el medio que atraviesa, dejado en su recorrido un sendero de pares electrón-hueco” (9).

SEUs son errores transitorios de software y no destructivos para el circuito, tan solo afectan a su funcionamiento temporalmente, por lo cual, un reinicio o una sobre-escritura en el dispositivo es necesaria para llevarlo a su funcionamiento normal.

Los SEUs pueden ocurrir en circuitos analógicos, digitales o en componentes ópticos, también pueden generar un efecto no deseado en las zonas que lo rodean. Típicamente aparecen en el circuito como un pulso transitorio o un cambio de estado lógico de algún bit en celdas de memoria o registros. En algunas ocasiones, un ion puede afectar dos o múltiples bits ocasionando varios cambios, a lo que llamamos *Perturbación de Múltiples Bits* o MBU (Multiple Bit Upset), implicando un gran problema para el sistema de detección y corrección de errores EDAC (Error Detection And Correction).

Un SEU de severa gravedad es un *Evento Único de Interrupción Funcional* (Single Event Functional Interrupt - SEFI) el cual afecta al sistema de control del circuito, pudiendo configurarlo en un modo de testeo, de cambio de estado de trabajo, o simplemente a uno no definido en el sistema. El SEFI saca al dispositivo de su correcto funcionamiento, por lo que requiere de un reinicio (power-reset) para normalizarse.

#### Single Event Latchup

Single Event Latchup (SEL – Evento Único de Enclavamiento) es una condición que causa pérdida de funcionalidad del dispositivo debido a un SEU, llevándolo a un estado estacionario. Los SELs se clasifican como errores físicos y son potencialmente destructivos, pudiendo causar daños permanentes como consecuencia de un estado de alta corriente de funcionamiento, por arriba de las especificaciones. Esta condición de enclavamiento puede destruir los dispositivos, llevar la tensión del bus a cero, o dañar la fuente de alimentación. Originalmente, el concepto de enclavamiento era causado por un ion pesado, pero en dispositivos muy sensibles, puede ser originado por protones.

Un SEL puede ser eliminado del circuito a través de un encendido-apagado (power off-on) del mismo. Si dicho proceso no es realizado en la brevedad, el calentamiento del dispositivo por condiciones no favorables de funcionamiento podría concluir en una falla permanente. Los SELs son fuertemente dependientes de la temperatura, el umbral para el enclavamiento disminuye con el aumento de la temperatura, así como con el aumento de la sección transversal (10).

#### Single Event Burnout

Single Event Burnout (SEB – Evento Destructivo Único) es una condición que puede causar la destrucción del dispositivo por un estado de alta corriente en un transistor de potencia. Un SEB causa que el dispositivo falle permanentemente, incluyendo destrucción de MOSFET de potencia, ruptura de compuertas (Gates), congelamiento de bits o ruido en CCDs (charge-couple devices – dispositivos acopladores de cargas). Pueden desencadenar un cambio del punto de trabajo de un MOSFET de potencia que haya estado en OFF-State (estado inactivo), cuando un ion pesado deposite suficiente carga como para encender dicho dispositivo cuando lo atraviese. Fue demostrado que la susceptibilidad de los dispositivos a los SEB disminuye con el aumento de la temperatura .

Un SEB puede producir en un MOSFET de potencia un *Single Event Gate Rupture* (SEGR – Evento Único de Ruptura de Compuerta), que es la formación de un camino conductor (ruptura dieléctrica localizada) en la compuerta, originando la destrucción del dispositivo .

## 1.3) MODELADO DE LA FALLA

### 1.3.1) Modelo típico

Los SETs son difíciles de simular debido a que dependen, no solo de las características del pulso generado, sino también a la respuesta dinámica del circuito en sí. El transitorio puede ser modelado como una inyección de tipo doble exponencial de corriente, según .

representa la constante de tiempo de recolección de la juntura, y la constante de tiempo inicialmente establecida por la dirección del ion. Estas dos constantes dependen de varios factores relacionados con el proceso, y por lo tanto, con la tecnología.

### 1.3.2) Modelo a utilizar

Como el modelo del transitorio de doble exponencial exige mucho tiempo y procesamiento computacional complejo, se optó por reemplazar dicho modelo por aproximaciones más simples.

#### Modelo Exponencial

Un modelo de menor complejidad que la doble exponencial es la exponencial simple (La representación en SPICE del modelo de la falla exponencial es:

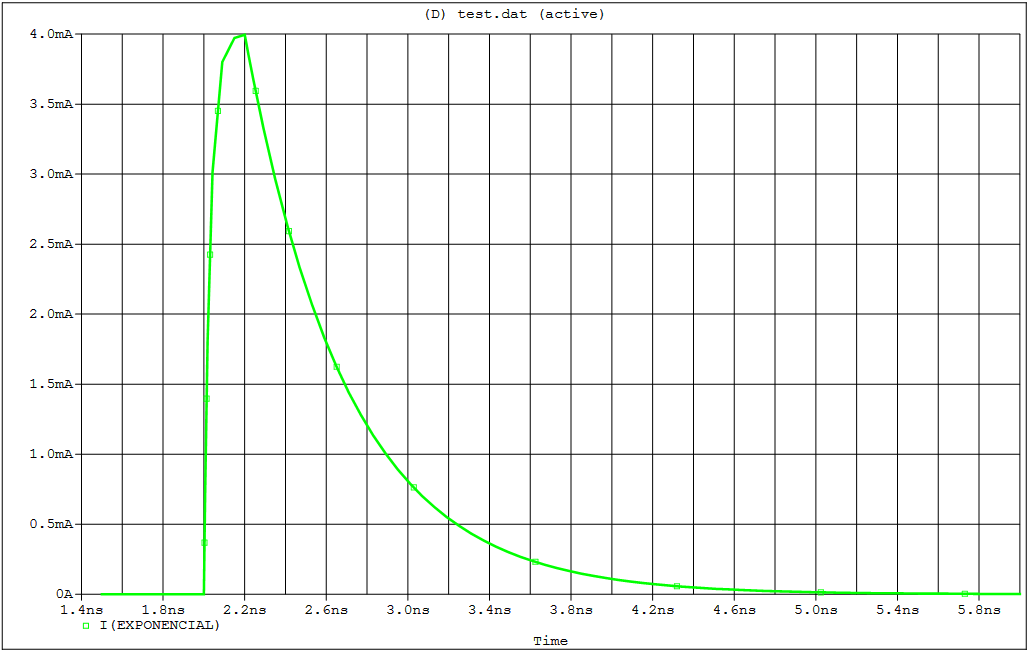


Figura 6), que representa con gran semejanza el proceso de *recolección de cargas*. El proceso de *difusión de cargas* no se asemeja a la referencia (ver modelo de la doble exponencial en la Figura 3), ya que el tiempo y amplitud que se puede generar con la exponencial simple para este proceso imposibilita hacerlo.

La expresión matemática del modelo de la falla exponencial es:

La representación en SPICE del modelo de la falla exponencial es:

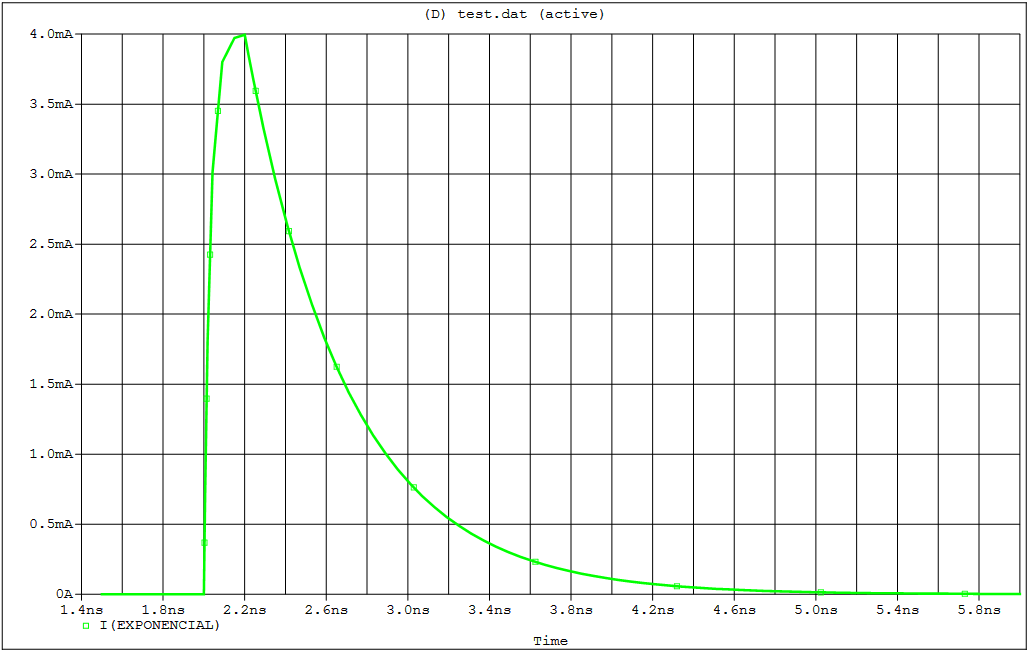


Figura ) Gráfica del modelo de inyección exponencial.

#### Modelo Trapezoidal

Otra opción de modelado de la falla es a través de una función trapezoidal (), con la cual el costo computacional decrece por la simplicidad de la función, en comparación a la exponencial. Con este modelo agrupamos las dos etapas del proceso que se da ante un SEU (proceso de recolección y difusión de cargas) generando una perturbación con intensidad constante por un tiempo determinado. La influencia sobre el circuito es mayor con este modelo, ya que la corriente inyectada mantiene su amplitud máxima por un periodo prolongado, en comparación al modelo típico (doble exponencial).

La representación en SPICE del modelo de la falla trapezoidal es:

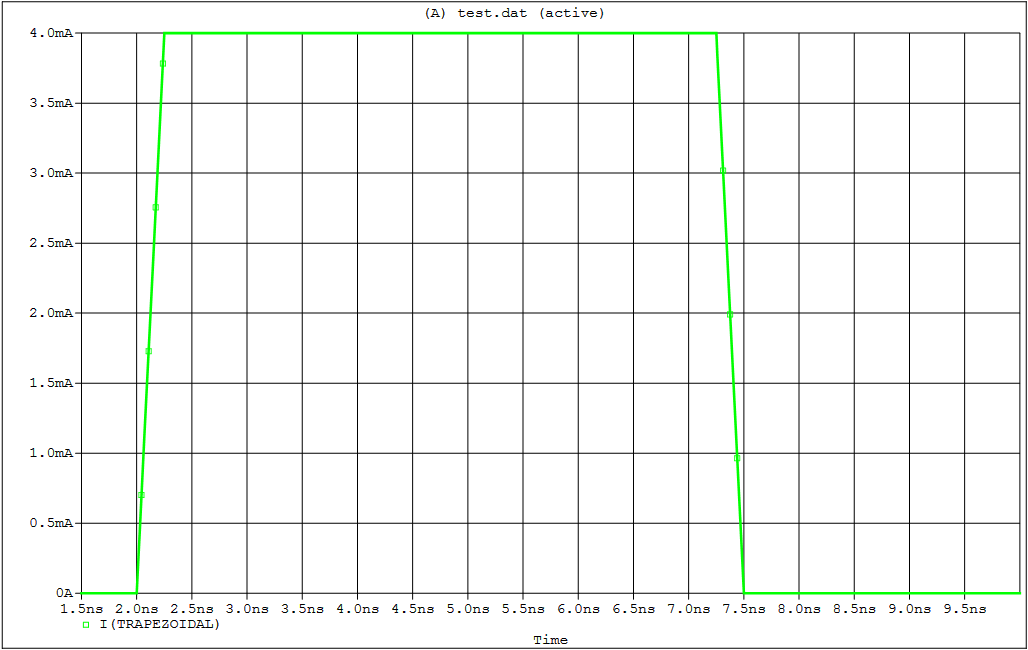


Figura ) Gráfica del modelo de inyección trapezoidal.

En ambos casos, las características de corriente máxima y tiempos de perturbación fueron elegidas en base a las bibliografías . En los procesos de inyección, existe un tiempo de reposo del circuito (sin perturbaciones) durante 2nS, en los cuales el sistema se estabiliza. A diferencia del modelado exponencial, en el modelo de falla tipo trapezoidal esta definido el momento de finalización de la perturbación, permitiendo asegurar que el circuito se encuentra libre de alteraciones externas, y por lo tanto, debería de volver a su estado inicial. Para el modelo exponencial, es difícil definir dicho momento.

# CAPÍTULO 2: Conversor

En este capítulo se describirá el proceso de selección del conversor, la arquitectura elegida, las ventajas y desventajas de la misma, y los requisitos que se debieron cumplir para su funcionamiento. Luego se detallarán los componentes que conforman el conversor, su diseño y verificación, y el comportamiento conjunto.

Caso de estudio adoptado

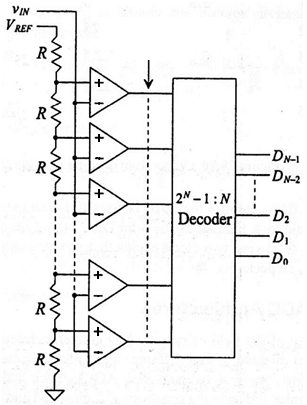
La arquitectura con la que se optó trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina tanto secciones analógicas como digitales. La gran ventaja de la estructura adoptada es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área de silicio comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisas y una lógica de control digital.

El conjunto de comparadores se encarga de transformar la señal analógica recibida en una señal digital de código termómetro. La cadena o divisor resistivo servirá para generar los distintos niveles de tensión analógica de comparación. Las compuertas conforman la lógica digital que trasforma el código termómetro a código binario en la etapa de salida del conversor. Un diagrama conceptual puede verse en la Figura 1.

Figura ) Diagrama en bloques del conversor flash realizado.

La señal analógica a convertir es conectada al terminal Vin y luego distribuida a las entradas inversoras de cada comparador. Esta señal es comparada con la tensión de referencia (entrada no inversora) correspondiente a cada comparador, y según sea el resultado, se modifica la tensión de salida del mismo para conformar el código termómetro correspondiente a dicha señal. Por último, éste código termómetro generado a partir de la cadena de comparadores, ingresa al decodificador, el cual lo recodifica a un código binario de 6 bits. Las conexiones y componentes del conversor se pueden apreciar en la Figura 2.



***Salida Digital***

***Entrada Analógica***

***Código Termómetro***

Figura ) Representación del conversor Flash.

La estructura adoptada se diseño para operar a una frecuencia de muestreo de 100KHz. Esta elección, y la regularidad de la estructura, permiten extender los resultados del estudio al sector comprendido por redes “Voice Comm” hasta redes “ISDN” e incluso a los dispositivos de “Instrumentación y medición” o “Digital Audio” (Ver Figura ), sin perder generalidad y manteniendo los requerimientos computacionales dentro de límites razonables.

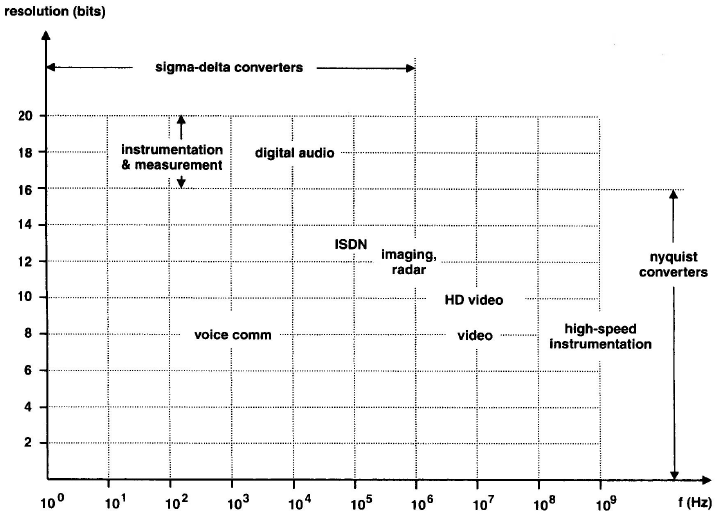


Figura ) Cuadro comparativo de requerimientos de conversores según su finalidad.

En relación a la tecnología CMOS seleccionada para el diseño, se utilizó una corrida de prueba provista por MOSIS del proceso de 180nm de IBM Semiconductor. Los detalles del proceso son los siguientes:

|  |  |
| --- | --- |
| **IBM Semiconductor**  **0.18 Micron**  **7RF CMOS Process** | MOSIS WAFER ACCEPTANCE TESTS  RUN: T96T (7RF\_5LM\_MA)  VENDOR: IBM-BURLINGTON  TECHNOLOGY: SCN018  FEATURE SIZE: 0.18 microns  Run type: SKD |

El proceso de fabricación CMOS cuenta con 6 capas de metal (M1, M2, M3, M4, MT, ML), 1 de DV (wirebound glass cut), y 2 de poli-silicio. Los voltajes de alimentación son 1.8 voltios de núcleo y 3.3 voltios de I/O. Los transistores alimentados a 5 voltios están disponibles para requerimientos especiales, pero se debe de tener en cuenta unas consideraciones extras [[[1]](#endnote-1)].

Como se apreció en la , fue necesario diseñar componentes analógicos y digitales que interactúen para conformar el conversor. En ambos se utilizó la tecnología arriba mencionada, con una alimentación general de 3.3 voltios. Como las referencias de tensión requerían de precisión y no era el foco del trabajo, se decidió utilizar fuentes de tensión DC para facilitar el diseño.

## 2.1) DISEÑO

Para el diseño del conversor, se analizaron individualmente las arquitecturas del comparador y del decodificador. Una arquitectura tipo Miley de dos etapas sin compensación, fue la elección para el comparador [[[2]](#endnote-2)], y para el decodificador, se eligió lógica CMOS de alta velocidad conformada por compuertas NAND [[[3]](#endnote-3)].

El proceso de diseño fue iterativo. Se realizaron los cálculos matemáticos para la primera aproximación de los valores de los transistores y se pusieron a prueba; se reajustaron las dimensiones y se obtuvo finalmente el diseño que satisfacía los distintos requisitos del sistema.

### 2.1.1) Comparador

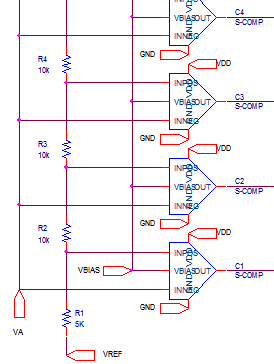
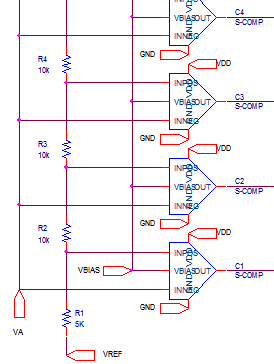
El diseño total requirió de 63 comparadores para generar los 64 niveles de código termómetro a partir de la comparación de la señal de entrada contra las señales de referencias obtenidas de la cadena de resistencias. El diagrama conceptual se observa en la 

Figura 4.



***Código Termómetro***

***Entrada Analógica***

Figura ) Conexión de los comparadores.

Cada comparador tiene conectado a su entrada inversora la señal de entrada VIN, y a su entrada no inversora, una de las 63 tensiones de referencia que le corresponde según el nivel jerárquico que ocupe en la generación del código termómetro. Cuando el valor de tensión de la señal de entrada VIN es mayor que la señal de referencia conectada al comparador, este da como resultado un valor 0 (cero), y si VIN es menor que la tensión de referencia, la salida del comparador es 1 (uno). Esto genera un código termómetro de niveles negativos ascendente, esto quiere decir, que a medida que la señal de entrada va superando los niveles de referencia, los comparadores van reemplazando las salidas en alto (1…111) del código termómetro por salidas en bajo (1…110), como se ve la .

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | *Máximo nivel del código* |
| 1 | 0 | 0 | 0 | 0 | *VIN > VREF 62* |
| . | . | . | . | . |  |
| 1 | 1 | 1 | 0 | 0 | *VIN > VREF 02* |
| 1 | 1 | 1 | 1 | 0 | *VIN > VREF 01* |
| 1 | 1 | 1 | 1 | 1 | *Mínimo nivel del código* |

Tabla ) Representación del avance del Código Termómetro.

### 2.2.2) Decodificador

En el extremo digital del conversor se encuentra el decodificador lógico de alta velocidad conformado por compuertas NANDs y NEGADORES, que decodifican la entrada de código termómetro (64 niveles) en una salida binaria de 6 bits. En la se observa un diagrama de las entradas y salidas del decodificador.

Los bits de salida se encuentran identificados según su importancia en la palabra digital, donde LSB significa *Bit Menos Significativo (Less Significant Bit)*, el bit 2SB es el *Segundo Bit Significativo (Second Significant Bit),* y así sucesivamente hasta el bit MSB o *Bit Más Significativo (More Significant Bit).*

Figura ) Diagrama en bloques del funcionamiento del decodificador.

Para el diseño se analizaron las diferentes condiciones de entrada generadas a partir de los comparadores, se realizó una tabla de verdad [APÉNDICE B] y luego de aplicar el método de reducción por Karnaugh, se obtuvieron las siguientes funciones lógicas que determinan la salida del código binario (la interconexión para el bit 2SB se aprecia en la Figura 6):



Figura ) Esquemático de la interconexión de compuertas internas del decodificador para el bit 2SB.

## 2.2) CARACTERIZACIÓN

A continuación se realizará la caracterización del conversor en base a los siguientes puntos con el fin de asegurar el cumplimiento de las especificaciones señaladas al inicio del capítulo.

* Señal de entrada.
* Tiempos de conversión.
* Formato de salida.
* Precisión.

Éstas dependen directamente de los componentes internos del conversor, por lo cual se expondrán también las características de funcionamiento del comparador y decodificador.

### 2.2.1) Señal de entrada

La señal de entrada puede excursionar de 0 a 2V.

Para el estudio realizado, se estableció una señal de entrada que va de 0 a 640mV.

### 2.2.2) Tiempos de conversión

Los tiempos de conversión dependen de la suma de los retardos en la lógica interconectada del decodificador y la de los comparadores. Se analizarán los tiempos de transición de los componentes por separado y luego el de conversión total.

#### Retardo del comparador:

En la Figura 7 se observa la conexión que se llevo a cabo para el análisis de los retardos del comparador, y la configuración de la fuente Vtrapezoidal para dicho propósito. Con esta disposición se simula un cambio repentino de la señal de entrada y se evalúan los tiempos requeridos para que el comparador realice el cambio de estado a su salida. En esta última se conectó un capacitor de 5pF para simular la carga capacitiva de las compuertas NAND que luego cargarán al comparador. En la Figura 8 se grafica la simulación realizada para una entrada VA=1.315 voltios.

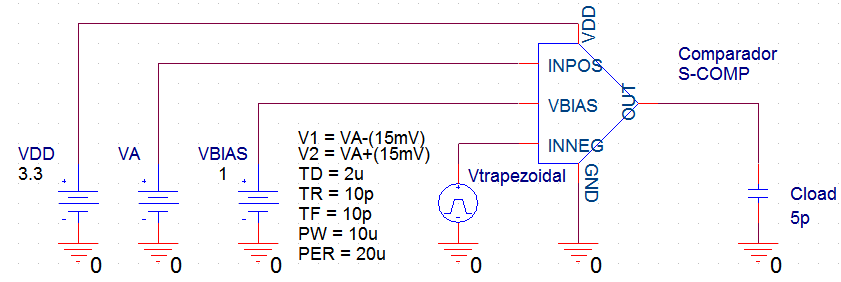


Figura ) Esquemático de la conexión del comparador, análisis de retardo.

En la ventana inferior de la simulación () se encuentra la gráfica del escalón (VIN), el cual posee una amplitud de 15mV y un tiempo de ascenso/descenso de 10ps.

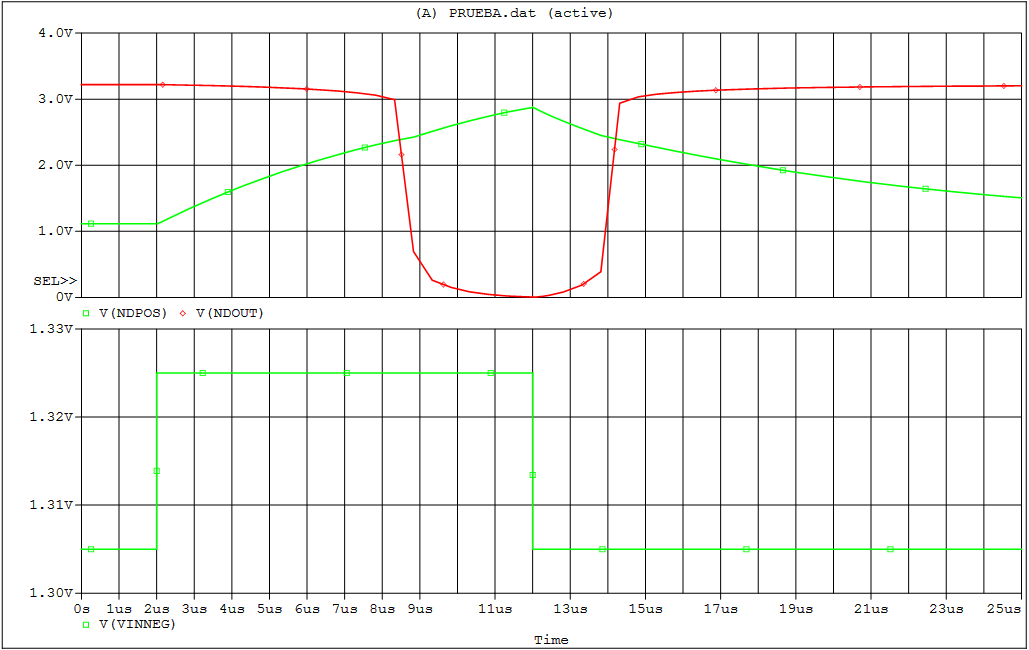


Figura ) Análisis de retardos del comparador [VCM=1.315V].

En la ventana superior están a la vista dos curvas. La curva de color verde es la salida de la primera etapa del comparador (etapa diferencial), y la de color rojo la salida final del comparador. De esta simulación se obtuvo:

* Máximo retardo “Alto – bajo (High to Low - TpHL)”del comparador: 7.48uS.
* Máximo retardo “Bajo – alto (Low to High - TpLH)”del comparador: 2.5uS.

#### Retardos de las compuertas:

En la Figura 9 se observa la conexión utilizada en la simulación para el análisis del tiempo de retardo de la compuerta NAND8 (compuerta NAND de 8 entradas). El cambio de estado de la entrada se lleva a cabo a los 2nS y afecta a 7 de las 8 entradas de la compuerta, luego vuelve a su estado inicial a los 2.31nS. A la salida de la compuerta se conectó una resistencia de 1 mega ohmio, representando a una entrada CMOS, a la cual se conectaría dicha salida de compuerta.

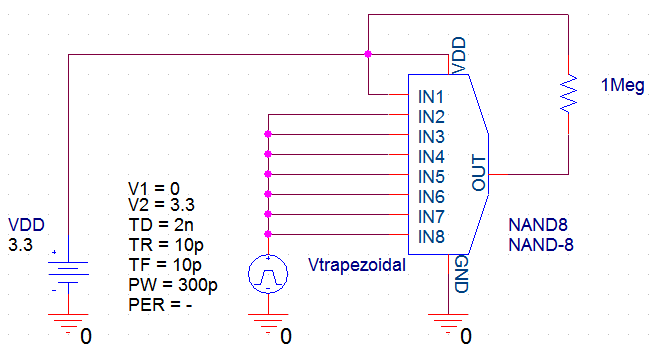


Figura ) Esquemático de la conexión de la compuerta NAND8, análisis de tiempos de retardo.

Siguiendo la misma configuración realizada para la prueba de la compuerta NAND8, se analizaron las compuertas restantes. La Figura 10 ilustra la simulación conjunta realizada para todas las compuertas, donde cada curva representa una compuerta diferente.

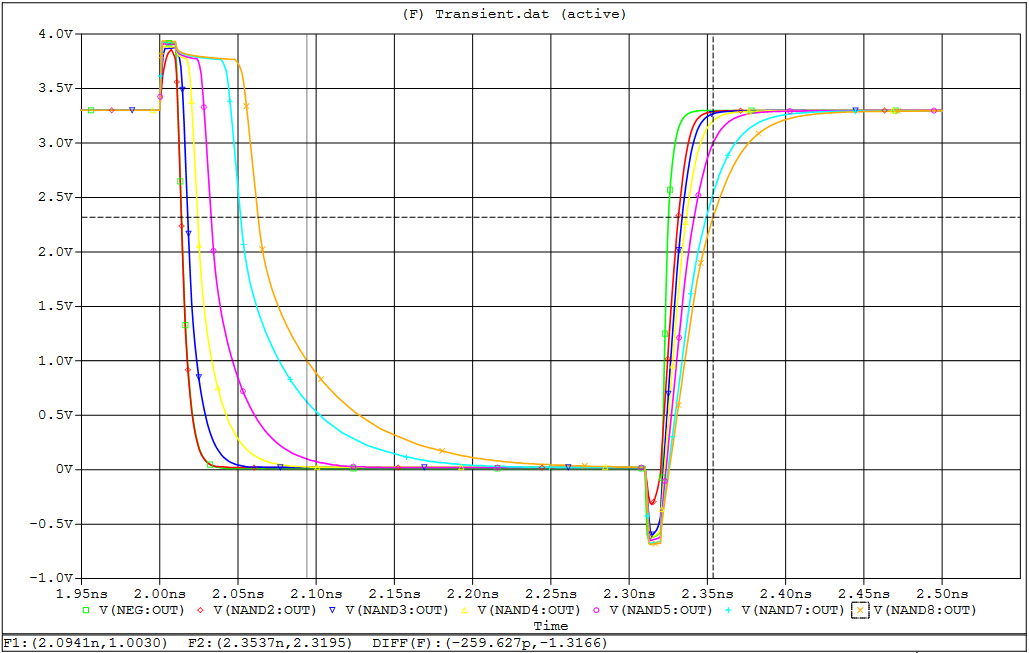


Figura ) Análisis de retardos de las compuertas.

En la simulación se aprecia el comportamiento de las salidas de las compuertas afectadas, las cuales, poseen retardos menores a los 100pS para ambos cambios.

* Tiempo de retardo “Alto – bajo” (TpHL) < 100pS.
* Tiempo de retardo “Bajo – alto” (TpLH) < 80pS.

#### Retardos del decodificador:

Para el análisis de tiempos del decodificador, se llevo a cabo la conexión que se observa en la Figura 11, en la cual se aprecia que la fuente Vtrapezoidal afecta a 31 entradas inferiores del decodificador.

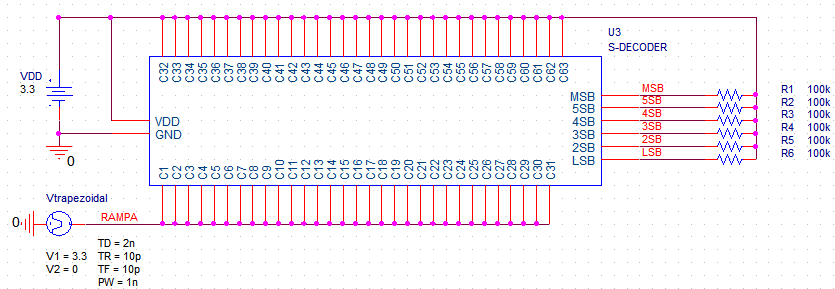


Figura ) Esquemático de la conexión del decodificador, análisis de tiempos de conversión.

En estado de reposo (al inicio de la simulación y hasta los 2nS) el decodificador tiene en todas sus entradas un valor de tensión positivo, por lo que la decodificación de dicho código termómetro daría como resultado la palabra digital “1 1 1 1 1 1”, la cual representa al nivel más bajo de decodificación. A los 2nS, la fuente Vtrapezoidal genera un cambio en los niveles de tensión de las 31 primeras entradas del decodificador, llevándolas un nivel de tensión bajo. Esto representaría un aumento repentino de la tensión de entrada hasta un nivel por debajo de la mitad del rango de conversión, dando así como salida decodificada a la palabra digital “1 0 0 0 0 0”. Este cambio se observa en la , en donde a los 3nS, la fuente trapezoidal vuelve a cambiar su estado y genera que el decodificador recupere su estado de reposo.

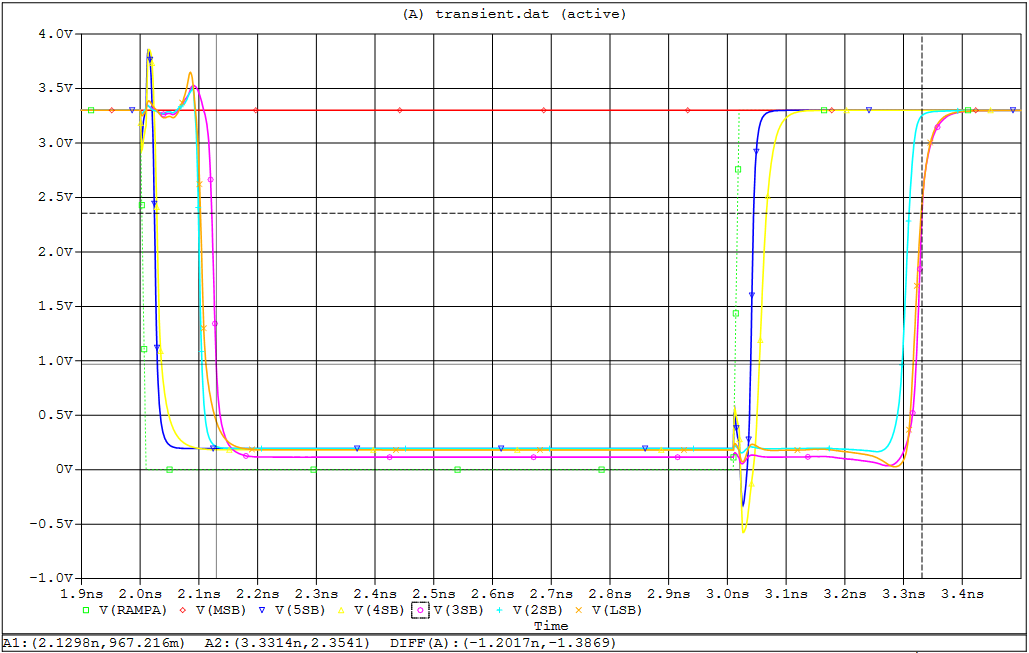


Figura ) TpHL y TpLH para una entrada en trapezoidal en el comparado C32 (mitad de la tabla de conversión).

En la simulación representada en la , la curva de color verde es la trapezoidal que es conectada a la entrada del decodificador correspondiente al comparador C32, el cual determina el valor medio del código termómetro. Las demás curvas son la salida del decodificador respondiendo al cambio de lógica generado por la fuente trapezoidal.

Como resultado de la simulación se obtuvieron los siguientes tiempos:

* Tiempos de retardos de L a H < 1nS. (780 pS).
* Tiempos de retardos de H a L < 1nS. (250 pS).

#### Tiempos de conversión del flash:

Luego de analizados los tiempos de retardo individuales de los componentes que lo conforman, se determina que el factor crítico para el tiempo de respuesta del conversor son los comparadores. Los mismos poseen un retardo de transición máximo del orden de 7uS, muy próximo al limite para el funcionamiento a 100KHz del conversor (10uS). El decodificador agrega a este tiempo una contribución de poca consideración, ya que sus retardos rondan los cientos de pico-segundos (pS).

### 2.2.3) Formato de salida

El formato de salida del conversor es binario unipolar.

### 2.2.4) Precisión

La precisión incluye errores provenientes de la parte analógica y digital. El error digital del conversor es de =5mV. La fuente de error analógico es el comparador. Dicho error varía según el offset y ganancia del mismo, que al estar trabajando para diferentes tensiones de entrada, varía entre los niveles inferiores y superiores del código termómetro.

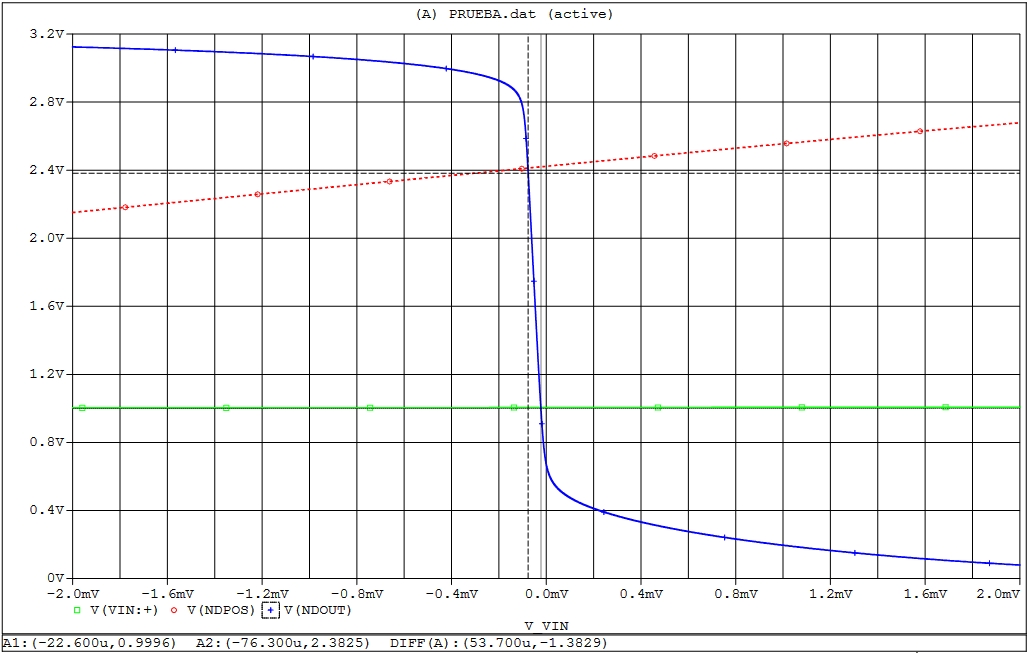


Figura ) Barrido de tensión continua con VCM=1.005V.

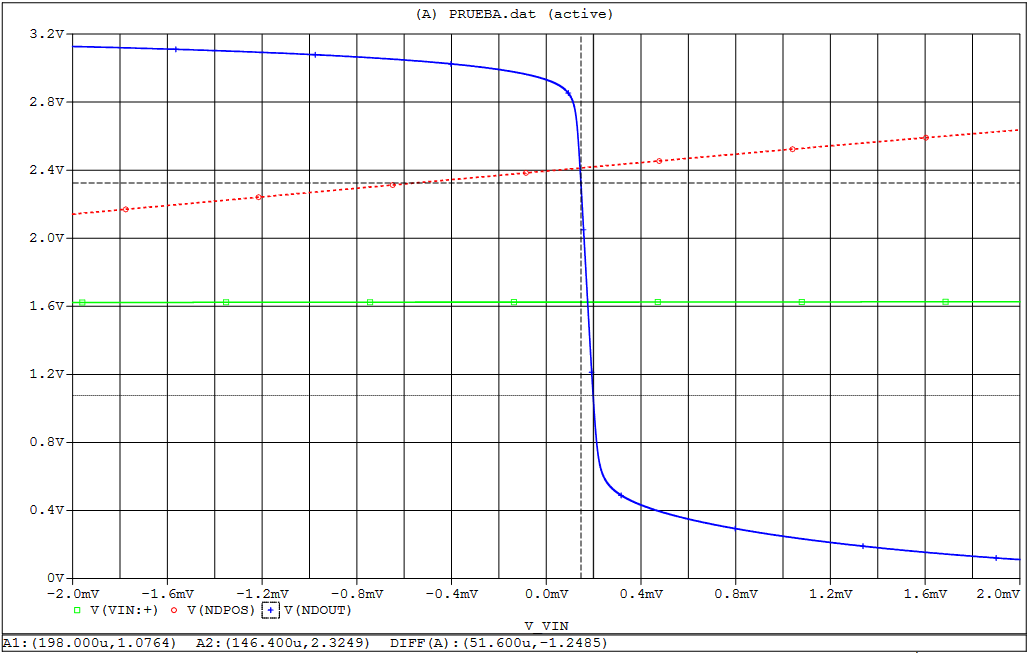


Figura ) Barrido de tensión continua con VCM=1.625V.

Como se muestra en las y , el offset del comparador varía según cuál sea el voltaje en modo común. Para el nivel más bajo de referencia (1.005V) el error de offset es de -60uV, mientras que para el nivel más alto (1.625V) es de +180uV, aproximadamente. Análogamente, la ganancia del comparador también se ve afectada y varía entre 23.843 y 25.814 veces. En conclusión, el error total del conversor es la suma de ambos errores, tanto digital como analógico, igual a

1. Ref.: http://www.mosis.com [↑](#endnote-ref-1)
2. Ref.: “CMOS Analog Circuit Design”- Philip E. Allen, Douglas R. Holberg [↑](#endnote-ref-2)
3. Ref.: “CIRCUITOS ELECTRONICOS Discretos e integrados”- Donald Schilling [↑](#endnote-ref-3)